

# BUNDESREPUBLIK DEUTSCHLAND

PCT/EP2004/052477

67.02.05



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 47 310.6

Anmeldetag: 8. Oktober 2003

Anmelder/Inhaber: Continental Teves AG & Co oHG,  
60488 Frankfurt am Main/DE

Bezeichnung: Hochintegriertes Mikroprozessorsystem für sicher-  
heitskritische Regelungen

IPC: G 05 B, B 60 T

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-  
sprünglichen Unterlagen dieser Patentanmeldung.

München, den 3. November 2004  
Deutsches Patent- und Markenamt  
Der Präsident

Im Auftrag

Höß

Continental Teves AG & Co. oHG

08.10.2003

P 10793

GP/BR/ad

W. Fey

M. Zydek

### **Hochintegriertes Mikroprozessorsystem für sicherheitskritische Regelungen**

Die Erfindung betrifft ein sogenanntes "Single Chip EBS System", also eine Schaltungsanordnung für ein elektronisches Bremssystem, welches hochintegrierte Schaltkreise aufweist, und insbesondere für elektronische Bremssysteme verwendet wird.

Mikroprozessorsysteme für sicherheitskritische Regelungen sind bekannt zum Beispiel aus der DE 197 16 197 A1. Diese weisen eine redundante Datenverarbeitung auf. Sie umfassen mehrere Zentraleinheiten mit eigenständigen CPU's mit Bus, Speicher und IO. In diesem System sind also die CPU's über separate, mit Eingabe- und Ausgabe-Einheiten (IO), mit Festwertspeichern und Schreib-Lesespeichern verbunden, wobei die Speicher auch Speicherplätze für Prüfdaten enthalten. Die Systeme enthalten außerdem Vergleicher, die die Ausgangsdaten oder Ausgangssignale der Zentraleinheiten auf Übereinstimmung überprüfen. Die Zentraleinheiten arbeiten das gleiche Programm ab, wobei die Zentraleinheiten über die Bus-Systeme miteinander kommunizieren und wobei die Bus-Systeme untereinander durch Bypässe verbunden sind, die den Zentraleinheiten ein gemeinsames Lesen und Abarbeiten der anstehenden Daten, einschließlich der Prüfdaten und Befehle, ermöglichen. Die Besonderheit des Systems besteht darin, dass bei jedem Arbeitstakt eine für die Sicherheit erforderliche Vergleichsoperation durchführbar ist.

- 2 -

Zu den sicherheitskritischen Regelungen gemäß der Erfindung zählen u.a. die in die Bremsenfunktion eines Kraftfahrzeugs eingreifenden Regelungssysteme, die in großer Anzahl und großer Vielfalt auf dem Markt sind. Beispiele hierfür sind die Antiblockiersysteme (ABS), Antriebsschlupfregelungssysteme (ASR), Fahrstabilitätsregelungen (FDR, ASMS), Fahrwerkss Regelungssysteme etc. Ein Ausfall eines solchen Regelungssystems führt zur Gefährdung der Fahrstabilität des Fahrzeugs. Daher wird die Funktionsfähigkeit der Systeme ständig überwacht, um beim Auftreten eines Fehlers die Regelung abschalten oder in einen für die Sicherheit weniger gefährlichen Zustand umschalten zu können.

Noch kritischer sind Bremssysteme bzw. Kraftfahrzeug-Regelungssysteme, bei denen bei Ausfall der Elektronik keine Umschaltung auf ein mechanisches oder hydraulisches System möglich ist. Hierzu zählen aktuelle Bremssystemkonzepte, wie "brake-by-wire"; die Bremsenfunktion ist bei solchen Systemen auf eine intakte Elektronik angewiesen.

Ein weiteres Beispiel für eine Schaltungsanordnung oder ein Mikroprozessorsystem zur Steuerung und Überwachung einer blockiergeschützten Fahrzeugbremsanlage ist aus der DE 32 34 637 C2 bekannt. Nach dieser Schrift werden die Eingangsdaten zwei identisch programmierten Mikrocomputern parallel zugeführt und dort synchron verarbeitet. Die Ausgangssignale und Zwischensignale der beiden Mikrocomputern werden mit Hilfe von redundanten Vergleichern auf Übereinstimmung geprüft. Wenn die Signale voneinander abweichen, wird über eine ebenfalls redundant ausgelegte Schaltung eine Abschaltung der Regelung herbeigeführt. Bei dieser bekannten Schaltung dient

- 3 -

einer der beiden Mikrocomputer zur Erzeugung der Bremsdrucksteuersignale, der andere zur Bildung der Prüfsignale. Bei diesem symmetrisch aufgebauten Mikroprozessorsystem sind also zwei vollständige Mikrocomputer, einschließlich der zugehörigen Festwert- und Schreib-Lese-Speicher, erforderlich.

Nach einem anderen bekannten System, nach dem die in der DE 41 37 124 A1 beschriebene Schaltung aufgebaut ist, werden die Eingangsdaten ebenfalls zwei Mikrocomputern parallel zugeführt, von denen jedoch nur einer die vollständige, aufwendige Signalverarbeitung ausführt. Der zweite Mikrocomputer dient vornehmlich zur Überwachung, weshalb die Eingangssignale nach Aufbereitung, Bildung von zeitlichen Ableitungen etc. mit Hilfe vereinfachter Regelalgorithmen und vereinfachter Regelpilosophie weiterverarbeitet werden können. Die vereinfachte Datenverarbeitung reicht zur Erzeugung von Signalen aus, die durch Vergleich mit den in dem aufwendigeren Mikrocomputer verarbeiteten Signalen Rückschlüsse auf den ordnungsgemäßen Betrieb des Systems zulassen. Durch die Verwendung eines Prüf-Mikrocomputers geringerer Leistungsfähigkeit lässt sich der Herstellungsaufwand im Vergleich zu einem System mit zwei vollständigen, aufwendigen Mikrocomputern gleicher Leistung reduzieren.

Aus der DE 43 41 082 A1 ist bereits ein Mikroprozessorsystem bekannt, das insbesondere für das Regelsystem einer blockiergeschützten Bremsanlage vorgesehen ist. Dieses bekannte System, das auf einem einzigen Chip untergebracht werden kann, enthält zwei Zentraleinheiten, in denen die Eingangsdaten parallel verarbeitet werden. Die Festwert- und die Schreib-Lese-Speicher, die an die beiden Zentraleinheiten

- 4 -

angeschlossen sind, enthalten zusätzliche Speicherplätze für Prüfinformationen und umfassen jeweils einen Generator zur Erzeugung von Prüfinformationen. Die Ausgangssignale eines der beiden Zentraleinheiten werden zur Erzeugung der Steuersignale weiterverarbeitet, während die andere als passive Zentraleinheit lediglich zur Überwachung der aktiven Zentraleinheit dient.

Bei den vorgenannten, bekannten Systemen wird also grundsätzlich die erforderliche Sicherheit durch Redundanz der Datenverarbeitung erreicht. Im ersten Fall (DE 32 34 637 C2) basiert das System auf der Verwendung von zwei Prozessoren mit identischer Software, was in Fachkreisen als symmetrische Redundanz bezeichnet wird. Im zweiten Fall (DE 41 37 124 A1) werden zwei Prozessoren mit unterschiedlicher Software verwendet (sog. asymmetrische Redundanz). Grundsätzlich ist es auch möglich, einen einzigen Prozessor zu verwenden, der auf Basis unterschiedlicher Algorithmen die Eingangsdaten verarbeitet, wobei dann zusätzliche Überprüfungsalgorithmen zum Feststellen eines fehlerfreien Arbeitens Anwendung finden.

Schließlich ist aus der DE 195 29 434 A1 (P7959) bereits ein System der eingangs genannten Art bekannt, das auch als System mit Kernredundanz bezeichnet wird. Bei diesem bekannten Mikroprozessorsystem sind zwei synchron betriebene Zentraleinheiten auf einem oder auf mehreren Chips vorgesehen, die die gleichen Eingangsinformationen erhalten und das gleiche Programm abarbeiten. Die beiden Zentraleinheiten sind dabei über separate Bus-Systeme an die Festwert- und an die Schreib-Lese-Speicher sowie an Eingabe- und Ausgabeeinheiten angeschlossen. Die Bus-Systeme sind untereinander durch

- 5 -

Treiberstufen bzw. Bypässe verbunden sind, die den beiden Zentraleinheiten ein gemeinsames Lesen und Abarbeiten der zur Verfügung stehenden Daten, einschließlich der Prüfdaten und Befehle ermöglichen. Das System ermöglicht eine Einsparung von Speicherplatz. Nur eine der beiden Zentraleinheiten ist (direkt) mit einem vollwertigen Festwert- und einem Schreib-Lese-Speicher verbunden, während die Speicherkapazität des zweiten Prozessors auf Speicherplätze für Prüfdatengenerator beschränkt ist. Zugriff zu allen Daten besteht über die Bypässe. Dadurch sind beide Zentraleinheiten in der Lage, jeweils das vollständige Programm abzuarbeiten.

Die vorstehend beschriebenen hochintegrierten und komplexen sicherheitskritischen Mikroprozessorsysteme wurden bisher nicht mit den zur Ansteuerung von energiezehrenden Verbrauchern, wie Ventilspulen zur hydraulischen Bremsdruckregelung, aktiven Bauelementen auf einem gemeinsamen Chip oder Chipträger zusammengefasst. Hierdurch war es notwendig, in an sich bekannten elektronischen Bremssystemen (EBS) mehrere integrierte Schaltkreise (IC's) auf einem oder mehreren Leiterbahnträger unterzubringen. Nur so konnten sowohl die Funktion, als auch die für den Betrieb des Mikroprozessors notwendigen Failsafe-Baugruppen realisiert werden. Bei diesem 2-Chip-System enthält der erste Chip das redundante Mikrokoprozessorsystem. Der zweite Chip umfasst sowohl digitale als auch analoge Schaltungsteile (Mixed Signal) mit Baugruppen zur Signalaufbereitung (Signal Conditioning), Aktautoransteuerung und für die Behandlung der Failsafe-Funktionalität (Watchdog).

- 6 -

Die vorliegende Erfindung setzt sich zum Ziel, eine Schaltung zur Verfügung zu stellen, die einerseits die bislang getrennten Schaltkreise auf einem gemeinsamen Chip oder Chipträger zusammenfasst und gleichzeitig in der Lage ist, bei praktisch jedem auftretenden Einzelfehler eine Erkennung dieses Fehlers zuverlässig zu ermöglichen. Durch die Integration der bislang getrennten integrierten Schaltkreise wird eine höhere Komplexität bei der Fehlererkennung möglich. Bei Erkennung eines entsprechenden Fehlers wird vorzugsweise in eine sogenannte sichere Rückfallebene zurückgeschaltet. In der Rückfallebene sind bestimmte Teilfunktionen des EBS noch funktionsfähig, jedoch ist der Schaltungsteil mit dem aufgetretenen Fehler dann nicht mehr aktiv. Die Schaltung weist insbesondere mehrere solcher Rückfallebenen auf, z.B. in der Reihenfolge ESP, ASR, ABS.

Vorzugsweise werden zur weiteren Erhöhung der Sicherheit in den Gebieten zwischen den einzelnen getrennt deaktivierbaren Funktionsgruppen des Chips Schutzzonen ausgebildet. Beispielsweise kann eine entsprechende Schutzzone ein Gebiet des Chips oder Chipträgers sein, welches vorzugsweise sehr hochohmig im Vergleich zur Umgebung ist und als "Isolation" gegen Totalausfälle der verschiedenen Funktionsgruppen (IC's) auf dem Chip verwendet wird. Auf diese Weise ist es möglich, Fehler wie Überspannung, elektrostatische Spannungen (ESD), Überlastung, in einer Funktionsgruppe begrenzt zu halten, so dass die durch den Fehler hervorgerufenen Schäden nicht zu einer Beschädigung der in Nachbarschaft zu der beschädigten Funktionsgruppe liegenden Funktionsgruppen führen. Hierdurch kann erst ein sicheres Umschalten in den sicheren Modus durch den jeweils anderen noch funktionsfähigen Teil gewährleistet werden.

- 7 -

Die Schutzzonen werden bevorzugt als Guard-Ringe oder Trenches (beispielsweise Deep-Trenches) ausgebildet. Auch eine Kombination dieser beiden Isolationsmethoden kann für besondere Fälle zweckmäßig sein.

In dieser Erfindung wird der Mikrokontroller als auch die Analogschaltung integriert aufgebaut, so dass sich diese bislang getrennten Funktionseinheiten auf einem gemeinsamen Chip oder Chipträger befinden, wobei der Chipträger insbesondere im wesentlichen aus Silizium besteht.

Das Layout der erfindungsgemäßen Schaltung wird bevorzugt so hergestellt, dass möglichst wenige leitende Verbindungen zwischen den einzelnen Funktiongruppen und eine möglichst geringe Zahl von Leitungsüberschneidungen vorhanden sind. Auf diese Weise werden auch die sonst in hoher Zahl notwendigen ggf. vorhandenen Pufferstrukturen vermindert. Um dies zu erreichen, ist eine verbesserte Routingmethode notwendig, wie sie in der Patentanmeldung PCT/EP0200416 beschrieben ist. Diese Patentanmeldung beschreibt ein Verfahren, welches zur Herstellung der zur Herstellung der erfindungsgemäßen integrierten Schaltungsanordnungen für Kraftfahrzeugregelungssysteme bevorzugt ist, durch Erstellung eines Layouts mittels eines automatisierten Verfahrens, bei dem mindestens zwei logisch getrennte Teilsysteme (Funktionsgruppen) vorgesehen sind und neben der logischen Trennung zusätzlich eine räumliche (physische) Trennung der Teilsysteme auf der zur Verfügung stehenden Fläche der Schaltungsanordnung vorgenommen wird.

- 8 -

Die auf dem gemeinsamen Chip oder Chipträger angeordneten paarweise oder mehrfach vorhandenen Funktionsgruppen, wie Überwachungsschaltungen, Spannungsüberwachungen, Watchdog etc., sind bevorzugt elektrisch so miteinander und/oder mit einem Aktuator verbunden, dass jeweils der Ausfall einer Funktionsgruppe durch die zum Paar gehörende andere Funktiongruppe und/oder durch ein an beide zum Paar gehörende Funktiongruppe angeschlossenes Baulement (z.B. Aktuatortreiber) bemerkt wird. Auf diese Weise kann, z.B. wenn eine Störung in den Leitungsverbindungen der beiden Schaltungen vorliegt, der entsprechende Aktuatortreiber abgeschaltet werden.

Mit der Erfindung wird vorteilhafterweise eine Reduzierung der Bauteilanzahl erreicht, wodurch sich neben geringeren Kosten vor allem eine verbesserte Ausfahrlrate und Zuverlässigkeit ergibt.

Bevorzugte Ausführungsformen ergeben sich aus den Unteransprüchen und der nachfolgenden Beschreibung der Figuren.

#### Beispiele

Fig. 1 zeigt eine schematisierte Schaltungsanordnung einer Regelelektronik für ein an sich bekanntes, vielfach in Kraftfahrzeugen eingesetztes universelles ABS-, ASR- und ESP-Steuergerät. Auf dem Leiterbahnträger der Elektronik sind mehrere einzeln gehäuste Chips 1, 2 und 5 angeordnet.

Folgende Schaltungselemente sind in Fig. 1 dargestellt:

- 9 -

- 1 Integriertes Mikroprozessorsystem, welches in Fig. 1 auf einem ersten Chip angeordnet ist,
- 2 Integrierter Leistungselektronik, welche in Fig. 1 auf einem zweiten Chip angeordnet ist,
- 3 Erste Mikroprozessor,
- 4 Zweiter Mikroprozessor,
- 6 Ventilspulen,
- 7 Failsafe-Modul,
- 8 A/D-Wandler,
- 9 Eingang für Raddrehzahlsensoren,
- 10, 10' Oszillator,
- 11 Endstufentreiber für Ventile,
- 12 Relais,
- 13 Pumpenmotor,
- 14 Warnlampen,
- 15 Warnlampentreiber,
- 16 CAN-Treiber,
- 17 SPI-Treiber,
- 18 EEPROM,
- 19 Eingabe-/Ausgabe-Ports,
- 20 Raddrehzahlsensoren,
- 21 Spannungsregler,
- 26 redundantes elektronisches Schaltelement zur Abschaltung der Ventilspulen (MD),
- 31 Sensorsignalaufbereitungseinheit

Fig. 2 zeigt das erfindungsgemäße Mikrorechnersystem auf einem gemeinsamen Siliziumchip 23 (Single Chip).

Folgende Module sind Bestandteil des Single Chip:

- 10 -

Redundante Mikrokontroller-Struktur 1 mit erstem Mikrokontroller 22 und zweitem Mikrokontroller 23, welche je nach Redundanzkonzept (Kernredundanz, symmetrische Redundanz, assymmetrische Redundanz) über einen nichtgezeichneten seriellen oder parallelen Datenbus miteinander verbunden sind. Über diesen Datenbus können die Mikrokontakte alternativ Daten zur Überprüfung deren korrekten Funktion austauschen.

Auf dem Chip sind folgende Funktionsgruppen angeordnet:

8 A/D Wandler,  
11 Ventiltreiber (PWM oder Digital),  
31 Signal Conditioning für Sensoren (Rad,- und/oder Drucksensoren),  
15 Warnlampentreiber,  
21 Spannungsversorgung,  
5, 5', 7, 7', 27 Sicherheitsschaltung, wie zum Beispiel Watchdog bzw. Funktionsgruppen zur Spannungsüberwachung der ECU - Betriebsspannungen (FMon),  
32, 32' redundante Spannungsreferenzen (Bandgap),  
33 Ansteuerlogik für die Leistungstreiberstufen.

Beschreibung von Fig. 3:

Die Funktiongruppen werden auf dem Chip bevorzugt so angeordnet, dass redundante Funktionen physikalisch (räumlich und/oder elektrisch) auf den Chips möglichst weit voneinander getrennt sind. Hierdurch kann eine Wechselwirkung der baugleichen Gruppen auf Grund einer Funktionsstörung (Durchbrennen, ESD-Einwirkung) verhindert werden.

Die einzelnen Funktionsblöcke, welche integrierte Schaltungen umfassen, werden durch Isolationszonen 24, zum Beispiel

- 11 -

Guardringe oder Trenches (Gräben) voneinander so isoliert, dass defekte Schaltungsteile keinen Einfluss auf benachbarte Funktionblöcke haben.

Bevorzugt werden Leitungen, die auf dem Chip zur elektrischen Verbindung der Funktionsblöcken 25 und 25' benötigt werden, so ausgeführt, dass keine Rückwirkung auf dem jeweils anderen Block möglich ist. Dabei werden die elektrischen Leitungen 30 bzw. über die Isolationszonen 24 brückenartig hinweggeführt. Die Leitungsverbindung sorgt dabei unerwünschterweise zu einer Sicherheitslücke in der Trennung der aus Sicherheitsgründen zu trennenden Funktionsgruppen. Zur Verringerung oder Beseitigung der durch die Leitung hervorgerufenen Sicherheitslücke sind insbesondere unidirektionale Puffer 28, 28' (Fig. 3a) oder ESD-Schutzstrukturen 29, 29' (Fig. 3b) vorgesehen.

#### Beschreibung von Fig. 4:

Die Überwachungsschaltungen 5 und 5' (FMon) zur Spannungsüberwachung sind jeweils über Puffer 28 mit einem UND-Gatter 34 verbunden. Ein weiterer Eingang des UND-Gatters ist mit einem Treiber 35 zur Ansteuerung des Hauptreibers 26 (MD) verbunden. Tritt beispielsweise eine Störung in den Leitungsverbindungen der beiden Schaltungen 5 und 5' auf, wird die Signalleitung 36 bei Ansteuerung des Hauptreibers 26 durch Hauptreiberansteuerung 35 nicht mit einem elektrischen Signal beaufschlagt. An Leitung 36 liegt nur dann ein Signal an, wenn alle Eingänge des UND-Gatters mit einem Signal beaufschlagt sind. Ein Ausfall einer Überwachungsschaltung 5 oder 5' führt somit zur Sperrung des Hauptreibers 26 und damit zur Abschaltung des Ventils 6.

**Patentansprüche**

1. Integrierte Schaltungsanordnung für sicherheitskritische Anwendungen, insbesondere für Steuerungs- und Regelaufgaben in einem elektronischen Kraftfahrzeubremssystem, umfassend mehrere Funktionsgruppen (25, 25') erster Art, wobei die Funktionsgruppen der ersten Art zumindest die Funktionsgruppe redundantes Mikroprozessorsystem (1) und insbesondere die Funktionsgruppe Ein-/Ausgabeinrichtungen (19) umfassen, und Funktionsgruppen zweiter Art, welche zumindest die Funktionsgruppen Aktuatortreiber (11, 15, 24, 35) und Sicherheitsschaltkreise (5, 5', 7, 7') umfassen, dadurch **gekennzeichnet**, dass die Funktionsgruppen erster Art und zweiter Art auf einem gemeinsam Chip oder Chipträger (23) vereint sind.
2. Schaltungsanordnung nach Anspruch 1, dadurch **gekennzeichnet**, dass das Mikroprozessorsystem ein kernredundantes Mikrokontroller-System ist.
3. Schaltungsanordnung nach Anspruch 1, dadurch **gekennzeichnet**, dass das Mikroprozessorsystem ein Mikrokontroller-System mit symmetrischer Redundanz ist.
4. Schaltungsanordnung nach Anspruch 1, dadurch **gekennzeichnet**, dass das Mikroprozessorsystem ein Mikrokontroller-System mit assymmetrischer Redundanz ist.
5. Schaltungsanordnung nach mindestens einem der vorhergehenden Ansprüche, dadurch **gekennzeichnet**, dass das Mikroprozessorsystem, die digitalen und analoge Schal-

- 13 -

tungskomponenten zur Ansteuerung von leistungsfähigen Verbrauchern und die Sicherheitsschaltkreise so miteinander vernetzt sind, dass eine individuelle Sicherheitsüberwachung der einzelnen Funktionsgruppen ermöglicht wird.

6. Schaltungsanordnung nach mindestens einem der vorhergehenden Ansprüche, dadurch **gekennzeichnet**, dass die Funktionsgruppen durch isolierte Bereiche, insbesondere ditierte Guard-Ringe und/oder eingesetzte Barrieren (Trenches), voneinander geschützt sind.
7. Schaltungsanordnung nach mindestens einem der vorhergehenden Ansprüche, dadurch **gekennzeichnet**, dass elektrische Leitungen (30), die von einer ersten Funktionsgruppe (25) zu einer zweiten Funktionsgruppe (25') führen, mittels Pufferelemente (28) und/oder ESD-Schutzstrukturen vor fehlererzeugenden Ereignissen der Nachbarfunktionsgruppe und vor fehlererzeugenden äußeren Einflüssen geschützt werden.
8. Schaltungsanordnung nach Anspruch 6 oder 7, dadurch **gekennzeichnet**, dass die elektrischen Leitungen auf jeder einer Funktionsgruppe zugewandten Seite eines isolierten Bereichs ein Pufferelement und/oder eine ESD-Schutzstruktur aufweisen.

# (Stand der Technik)

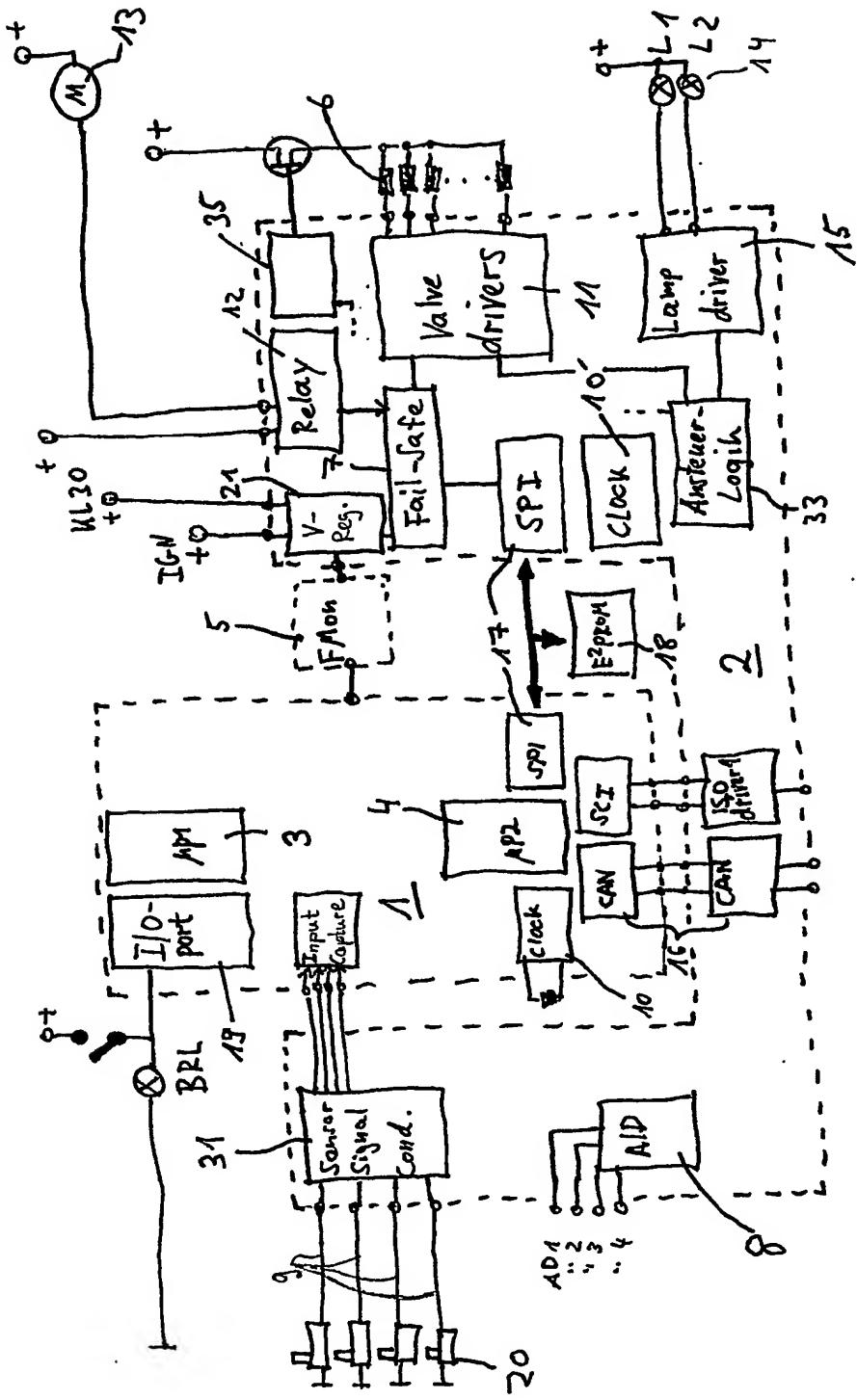
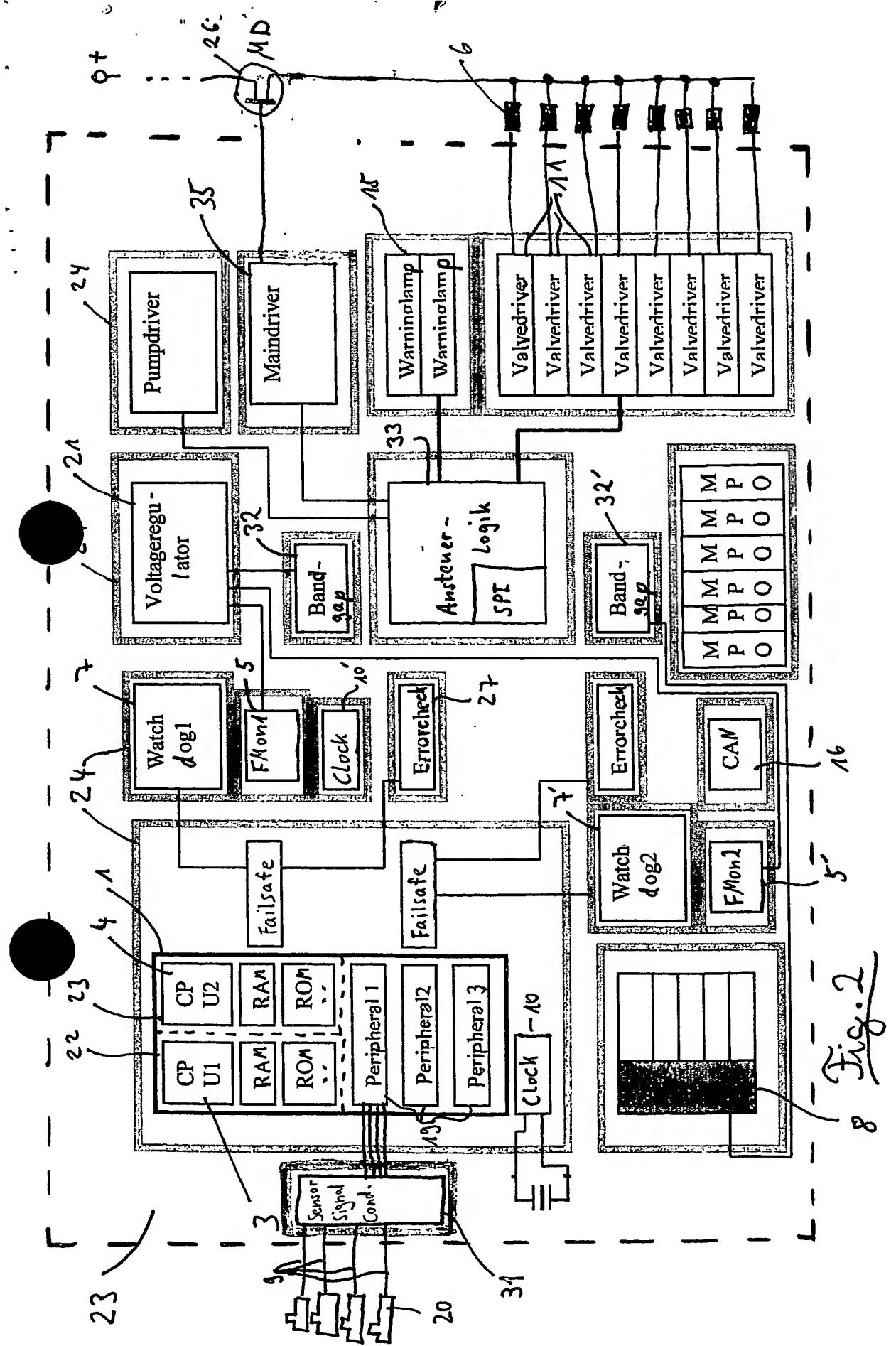


Fig. 1



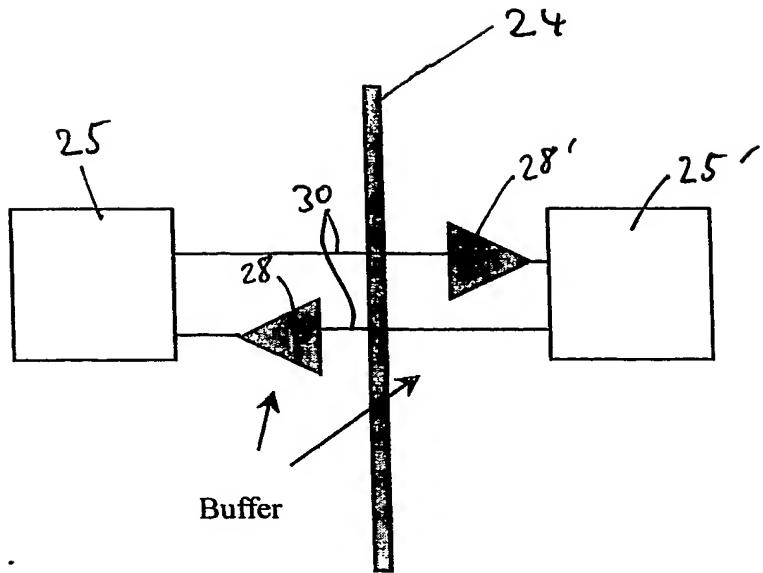


Fig. 3a

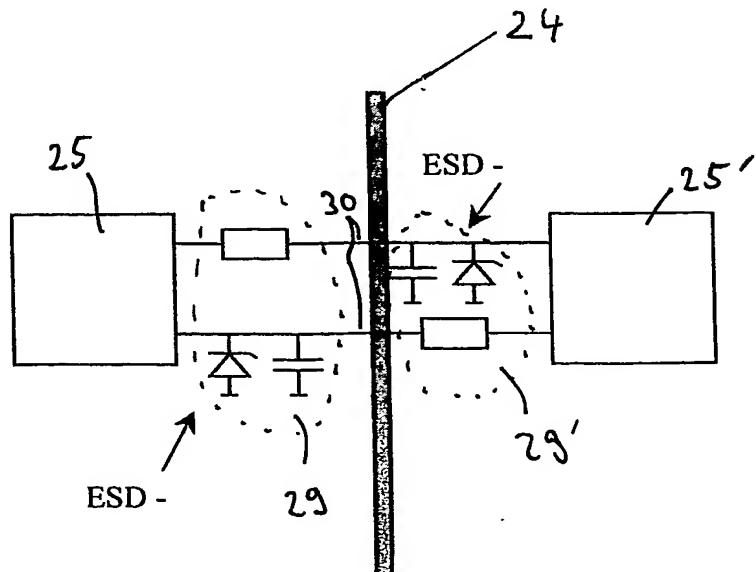


Fig. 3 b

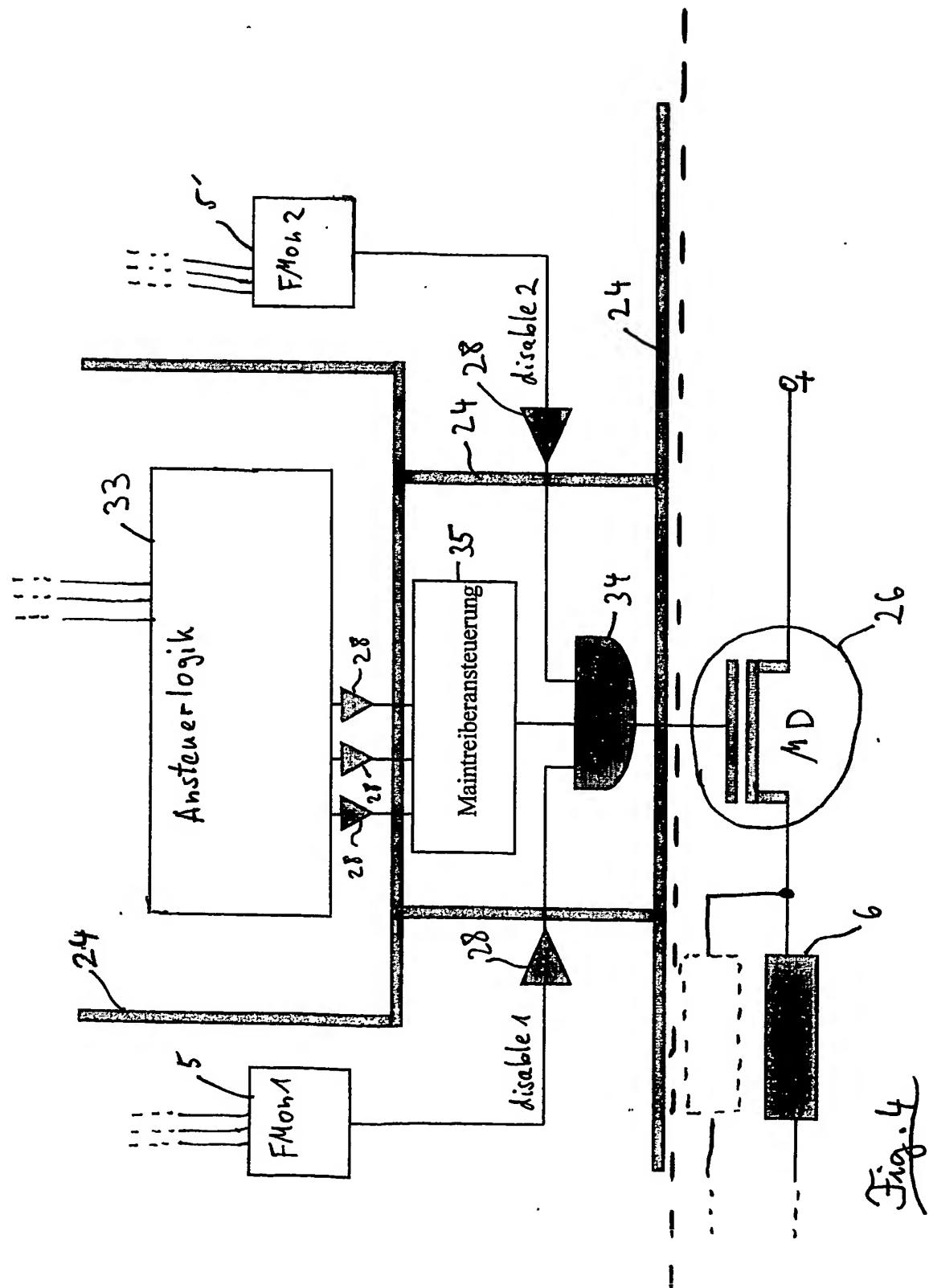


Fig. 4

# **Document made available under the Patent Cooperation Treaty (PCT)**

International application number: PCT/EP04/052477

International filing date: 08 October 2004 (08.10.2004)

Document type: Certified copy of priority document

Document details: Country/Office: DE  
Number: 10347310.6  
Filing date: 08 October 2003 (08.10.2003)

Date of receipt at the International Bureau: 17 February 2005 (17.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**